

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-201295

⑬ Int. Cl.³

G 09-G 3/36
3/20

識別記号

庁内整理番号

7250-5C
6453-5C

⑭ 公開 昭和57年(1982)12月9日

発明の数 1
審査請求 未請求

(全 7 頁)

⑮ 二次元アドレス装置

⑯ 特 願 昭56-86289

⑰ 出 願 昭56(1981)6月4日

⑱ 発 明 者 曾根田光生
厚木市旭町4丁目14番1号ソニ
ー株式会社厚木工場内

⑲ 発 明 者 大津孝二
厚木市旭町4丁目14番1号ソニ
ー株式会社厚木工場内

⑳ 出 願 人 ソニー株式会社
東京都品川区北品川6丁目7番
35号

㉑ 代 理 人 弁理士 伊藤貞 外2名

明 細 書

発明の名称 二次元アドレス装置

特許請求の範囲

X軸方向及びY軸方向にマトリクス状に回路素子を配置すると共に、Y軸方向のラインをクロック信号に関連して順次選択し、且つX軸方向のラインを、上記Y軸方向のラインの選択に関連して順次選択して、所定の上記回路素子に信号を供給するようにした二次元アドレス装置において、上記Y軸方向のラインを所定数ずつのグループに分割し、入力信号を上記クロック信号の周期及び上記グループ中の順位に従って遅延させる回路と、これらの遅延された信号を所定期間サンプルホールドする回路とを設け、上記グループ中のY軸方向のラインに上記入力信号を同時化して供給すると共に、上記Y軸方向のラインを上記グループ毎に順次選択するようにした二次元アドレス装置。

発明の詳細な説明

本発明は、例えば液晶を用いた画像表示装置のような二次元アドレス装置に関する。

例えば液晶を用いてテレビ画像を表示することが提案されている。第1図において、(1)はテレビの映像信号が供給される入力端子で、この入力端子(1)からの信号がそれぞれ例えばNチャンネルFETからなるスイッチング素子 M_1, M_2, \dots, M_m を通じて垂直(Y軸)方向のライン L_1, L_2, \dots, L_m に供給される。なおmは水平(X軸)方向の画素数に相当する数である。さらにm段のシフトレジスタ(2)が設けられ、このシフトレジスタ(2)に水平周波数のm倍のクロック信号が供給され、このシフトレジスタ(2)の各出力端子からの信号 $\phi_{H1}, \phi_{H2}, \dots, \phi_{Hm}$ がスイッチング素子 $M_1 \sim M_m$ の各制御端子に供給される。

また、各ライン $L_1 \sim L_m$ にそれぞれスイッチング素子 $M_{11}, M_{21}, \dots, M_{n1}, M_{12}, M_{22}, \dots, M_{n2}, \dots, M_{1m}, M_{2m}, \dots, M_{nm}$ の一端が接続される。なおnは水平走査線数に相当する数である。このスイッチング素子 $M_{11} \sim M_{nm}$ の他端がそれぞれ液晶セル $C_{11}, C_{21}, \dots, C_{nm}$ を通じてターゲット端子(3)に接続される。

さらに n 段のシフトレジスタ(4)が設けられ、このシフトレジスタ(4)に水平周波数のクロック信号が供給され、このシフトレジスタ(4)の各出力端子からの信号 $\phi_{V1}, \phi_{V2}, \dots, \phi_{Vn}$ が、スイッチング素子 $M_{11} \sim M_{nm}$ のX軸方向の各列($M_{11} \sim M_{1m}$), ($M_{21} \sim M_{2m}$).....($M_{n1} \sim M_{nm}$)ごとの制御端子にそれぞれ供給される。

すなわちこの回路において、シフトレジスタ(2)、(4)からは、第2図A, Bに示すように、シフトレジスタ(4)から1水平期間ごとに $\phi_{V1} \sim \phi_{Vn}$ が出力され、この間の有効画面期間 T_{HE} に、シフトレジスタ(2)から各画面期間ごとに $\phi_{H1} \sim \phi_{Hm}$ が出力される。さらに入力端子(1)には第2図Cに示すような信号が供給される。

そして ϕ_{V1}, ϕ_{H1} が出力されているときは、スイッチング素子 M_1 と $M_{11} \sim M_{1m}$ がオンされ、入力端子(1) $\rightarrow M_1 \rightarrow L_1 \rightarrow M_{11} \rightarrow C_{11} \rightarrow$ ターゲット端子(3)の電流路が形成されて、液晶セル C_{11} に入力端子(1)に供給された信号とターゲット端子(3)との電位差が供給される。このためのこのセル C_{11} の

特にコントラストが得られない。

さらに電荷の蓄積が不十分な状態で用いるので、入力信号のレベルの変化等によつて不十分さが異なり、波形ひずみが生じやすい。またスイッチング素子のオン抵抗を小さくする必要があり、このためスイッチング素子のゲート幅が大きくなつてIC化した場合のチップ面積が大きくなり必要になる。

従来の装置にはこのような欠点があつた。

本発明はこのような点にかんがみ、簡単な構成で上述の欠点を一掃できるようにしたものである。以下図面を参照しながら本発明の一実施例について説明しよう。

第3図において、ライン $L_1 \sim L_m$ が2本ずつグループにされ、各グループのスイッチング素子(M_1, M_2), (M_3, M_4).....(M_{m-1}, M_m)の制御端子が互いに接続される。また入力端子(1)からの信号がサンプルホールド回路(11)に供給され、このサンプルホールド回路(11)からの信号と入力端子(1)からの信号とが、それぞれサンプルホールド回路(12), (13)に供給される。そしてサンプルホールド回路(12)か

容量分に、1番目の画面の信号による電位差に相当する電荷がサンプルホールドされる。この電荷量に対応して液晶の光透過率が変化される。これと同様のことがセル $C_{12} \sim C_{nm}$ について順次行われ、さらに次のフィールドの信号が供給された時点で各セル $C_{11} \sim C_{nm}$ の電荷量が書き換えられる。

このようにして、映像信号の各画面に対応して液晶セル $C_{11} \sim C_{nm}$ の光透過率が変化され、これが順次繰り返されてテレビ画像の表示が行われる。

しかしながらこの装置において、水平画面数を m とするとシフトレジスタ(2)の段数も m 段必要であり、解像度の高い表示装置を作ろうとするとシフトレジスタ(2)が極めて大形の回路になつてしまう。このため例えば回路をIC化した場合に極めて大きなチップ面積が必要になる。

またスイッチング素子 $M_1 \sim M_m$ のオン期間が、 $\frac{T_{HE}}{m}$ となり、極めて短いので、各液晶セル $C_{11} \sim C_{nm}$ での電荷の蓄積が不十分になる。ここで入力信号の振幅を大きくすることは液晶セルの構造等の制約から不可能である。このため良好な画質、

らの信号が奇数番目のスイッチング素子 M_1, M_3, \dots, M_{m-1} を通じてライン L_1, L_3, \dots, L_{m-1} に供給されると共に、サンプルホールド回路(13)からの信号が偶数番目のスイッチング素子 M_2, M_4, \dots, M_m を通じてライン L_2, L_4, \dots, L_m に供給される。

また、シフトレジスタ(2)には従来の $1/2$ の周波数のクロック信号が供給され、第4図Bに示すような信号 $\phi_{H1}, \phi_{H2}, \dots, \phi_{H\frac{m}{2}}$ が形成されて各グループのスイッチング素子 $M_1 \sim M_m$ に供給される。さらにサンプルホールド回路(11)と(12)及び(13)とは、それぞれ第4図C, Dに示すように一画面期間ごとに相互に反転する信号 ϕ_1, ϕ_2 が供給される。

この回路において、入力端子(1)に第4図Bのような入力信号が供給されると、サンプルホールド回路(11)にて信号 ϕ_1 が高電位の期間にサンプリングが行われて第4図Fのような信号が形成され、サンプルホールド回路(12), (13)にて信号 ϕ_2 が高電位の期間にサンプリングが行われて第4図G, Hのような信号が形成される。

従つて、各グループのライン $L_1 \sim L_m$ には奇数

番目の画素の信号とその次の画素の信号が同時化されて供給される。さらにスイッチング素子 $M_1 \sim M_m$ がグループ毎に2画素期間ずつ順番にオンされ、同時化された信号が奇数番目のラインと偶数番目のラインとにそれぞれ供給される。

そして ϕ_{V1}, ϕ_{H1} が出力されているときは、スイッチング素子 M_1, M_2 と $M_{11} \sim M_{1m}$ がオンされ、サンプルホールド回路 $Q2 \rightarrow M_1 \rightarrow L_1 \rightarrow M_{11} \rightarrow C_{11} \rightarrow$ ターゲット端子(3)及びサンプルホールド回路 $Q3 \rightarrow M_2 \rightarrow L_2 \rightarrow M_{12} \rightarrow C_{12} \rightarrow$ ターゲット端子(3)の電流路が形成される。そして液晶セル C_{11}, C_{12} にそれぞれ1番目の画素及び2番目の画素の信号による電位差に相当する電荷がサンプルホールドされこの電荷量によつて各液晶の光透過率が変化される。以下同様のことがセル $C_{13} \sim C_{nm}$ について順次行われ、さらに次のフィールドの信号によつて各セル $C_{11} \sim C_{nm}$ の電荷量が書き換えられる。

こうしてテレビ画像の表示が行われるわけであるが、本発明によれば、各液晶セル $C_{11} \sim C_{nm}$ にはそれぞれ2画素期間にわたつて信号が供給され、

面積及び消費電力とも増加はわずかである。

さらに第5図にサンプルホールド回路 $Q1 \sim Q3$ の具体例を示す。まずAにおいて入力端子(1)がトランジスタ $Q1$ のベースに接続され、このトランジスタ $Q1$ のコレクタが電源に接続され、エミッタが定電流源 $Q2$ を通じて接地されると共に、このエミッタがスイッチング素子 $Q3$ を通じてコンデンサ $Q4$ の一端に接続され、このコンデンサ $Q4$ の他端が電源に接続される。さらにコンデンサ $Q4$ の一端がトランジスタ $Q4$ のベースに接続され、このトランジスタ $Q4$ のコレクタが電源に接続され、エミッタが定電流源 $Q5$ を通じて接地されると共に、このエミッタがスイッチング素子 $Q6$ を通じてコンデンサ $Q7$ の一端に接続され、このコンデンサ $Q7$ の他端が電源に接続される。さらにコンデンサ $Q7$ の一端がトランジスタ $Q7$ のベースに接続され、このトランジスタ $Q7$ のコレクタが電源に接続され、エミッタが定電流源 $Q8$ を通じて接地されると共に、このエミッタから奇数番目のスイッチング素子 M_1, M_3, \dots, M_{m-1} に接続される出力端子 $Q9$ が導出される。またトラ

従来の2倍の時間供給が行われるので、各液晶セル $C_{11} \sim C_{nm}$ での電荷の蓄積は充分に行われる。従つて上述した波形状のおそれはないと共に、コントラストを含めて画質の良好な画像を表示することができる。

またシフトレジスタ(2)の段数が $1/2$ で足りるので、回路構成が極めて簡単になり、IC化した場合のチップ面積も小さくなると共に、消費電力も少くなる。すなわちシフトレジスタの消費電力はクロック信号の周波数に比例し、また段数にも比例する。従つて上述の例において周波数及び段数が共に $1/2$ になるので、消費電力は $1/4$ に減少する。

また信号の供給時間が長いので、スイッチング素子のオン抵抗の影響が小さくなる。このためゲート幅を広くする必要がなくなり、スイッチング素子の占るチップ面積も小さくなる。

なお上述の例でサンプルホールド回路が3個必要であるが、シフトレジスタの段数が $1/2$ になり消費電力が $1/4$ になることと比較すれば、チップ

ンジスタ $Q1$ のエミッタがトランジスタ $Q2$ のベースに接続され、このトランジスタ $Q2$ のコレクタが電源に接続され、エミッタが定電流源 $Q3$ を通じて接地されると共に、このエミッタがスイッチング素子 $Q4$ を通じてコンデンサ $Q5$ の一端に接続され、このコンデンサ $Q5$ の他端が電源に接続される。さらにコンデンサ $Q5$ の一端がトランジスタ $Q5$ のベースに接続され、このトランジスタ $Q5$ のコレクタが電源に接続され、エミッタが定電流源 $Q6$ を通じて接地されると共に、このエミッタから偶数番目のスイッチング素子 M_2, M_4, \dots, M_m に接続される出力端子 $Q7$ が導出される。

そしてこの回路において、スイッチング素子 $Q3$ の制御端子に ϕ_1 、スイッチング素子 $Q4, Q5$ の制御端子に ϕ_2 を供給することにより、上述のサンプルホールド回路 $Q1 \sim Q3$ の動作を行うことができる。なおこの回路において、入力端子(1)から出力端子 $Q1, Q2$ までの直流電位変動は共にトランジスタ3個分であつて等しい。

さらに第5図Bは全ての素子をNチャンネルの

F B Tで形成した場合で、このようにすれば、回路全体をLSI化する場合に好適である。

また本発明は、上述のようにライン $L_1 \sim L_m$ を2本ずつのグループにするに限定しない。例えば第6図は3本ずつのグループにした場合であつて、この場合には図示のように入力回路としてサンプルホールド回路が5個必要になる。そしてこの回路に第7図A～Bのような制御信号 $\phi'_1 \sim \phi'_3, \phi_{H1}, \phi_{H2} \dots$ を供給することにより、Fのような入力信号がGH及びIJKのようにサンプルホールドされてそれぞれ各グループの3本のラインに供給される。

このようにすれば、シフトレジスタ(2)の段数が $1/3$ になり、消費電力を $1/9$ にすることができる。またシフトレジスタの段数を従来と同じにして、画素数を増加させることもできる。

さらにグループ内のラインの本数を増すことにより、シフトレジスタの段数を減らすことができるが、その場合にはサンプルホールド回路による消費電力の増加やチップ面積の増加が多くなり、

またサンプルホールド回路で長時間信号を保持することによる波形ひずみのおそれもあるので、グループ内のラインの本数を極端に多くすることはできない。

また第3図の回路において、サンプルホールド回路(1)は1クロック期間に相当する遅延回路でもよい。ここで用いられる遅延回路は、入出力の利得が0 dBで、遅延時間が $\frac{T_{HE}}{m}$ であつて、すなわち

$$e^{-j2\pi f \frac{T_{HE}}{m}} \quad \text{但し、} f \text{ は入力信号の周波数}$$

の伝達関数を持つものであればよい。

さらにグループ内の本数を増す場合にも、それぞれ、1クロック期間、2クロック期間……に相当する遅延回路を設けることにより、同様の作用効果が得られる。なおこのように遅延回路を用いた場合には、サンプルホールドによる波形ひずみのおそれが少ないので、特にグループ内を多本数にする場合に好適である。

なお本発明は上述のような画像表示装置に限らず、二次元アドレスの記憶装置等にも応用できる。

図面の簡単な説明

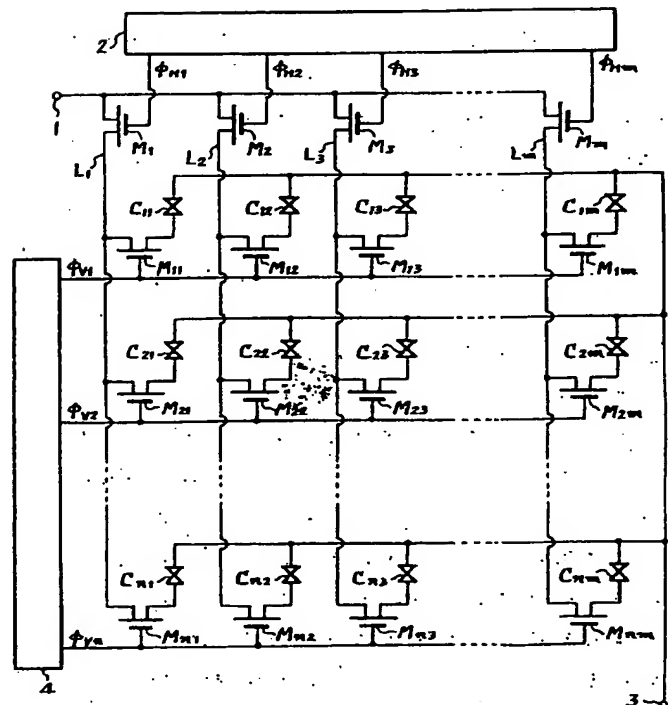
第1図、第2図は従来の装置の説明のための図、第3図は本発明の一例の構成図、第4図、第5図はその説明のための図、第6図、第7図は他の例の説明のための図である。

(1)は入力端子、(2)はシフトレジスタ、(3)～(5)はサンプルホールド回路である。

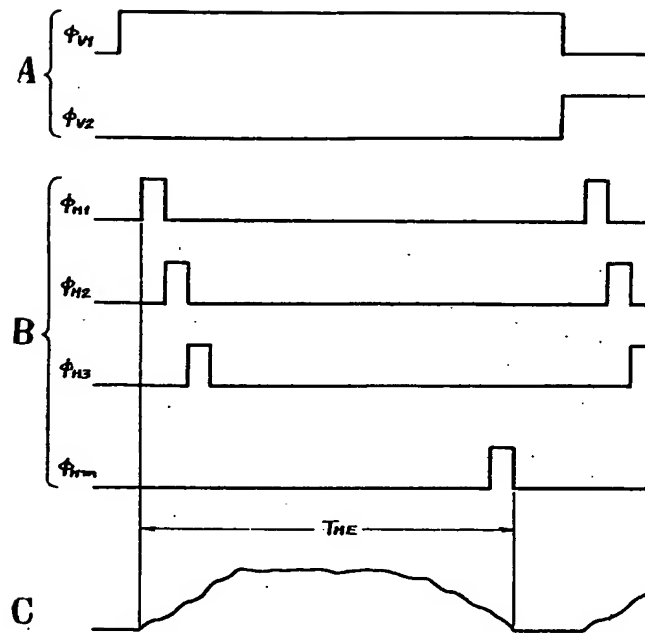
代理人 伊藤 貞
同 軸谷 克己
同 松隈 秀盛
同 杉浦 正知



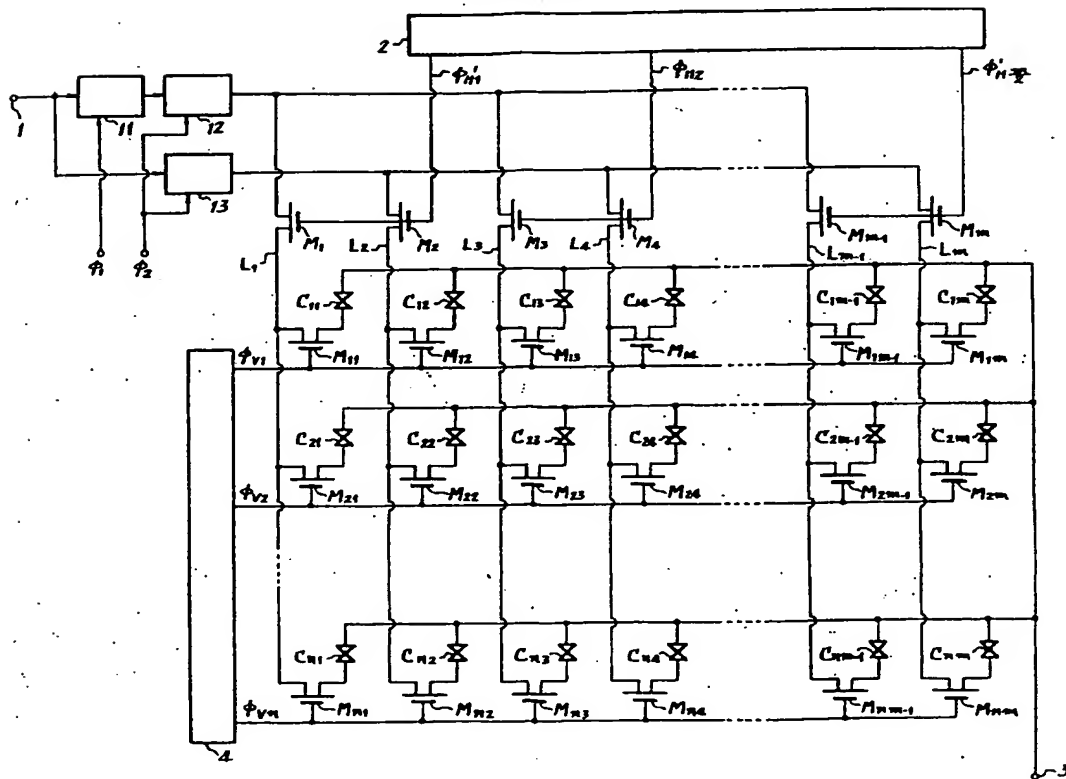
第1図



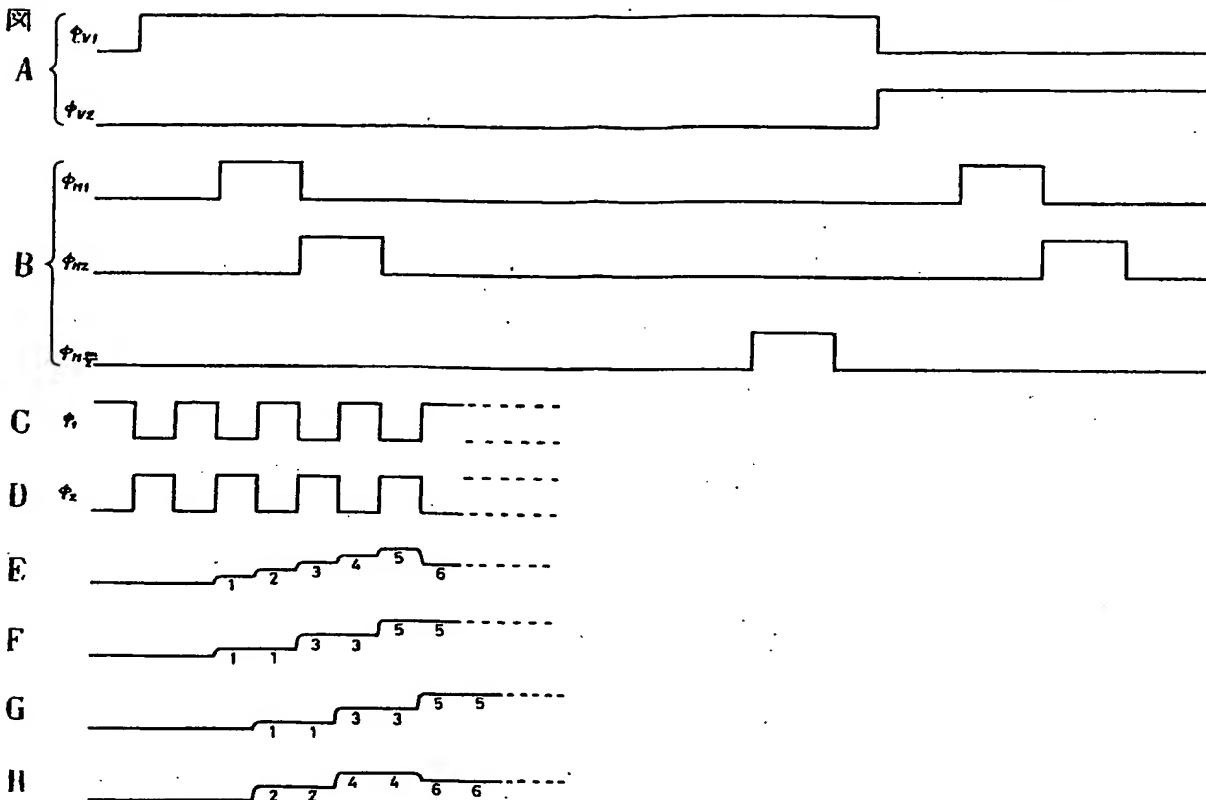
第 2 図



第 3 図

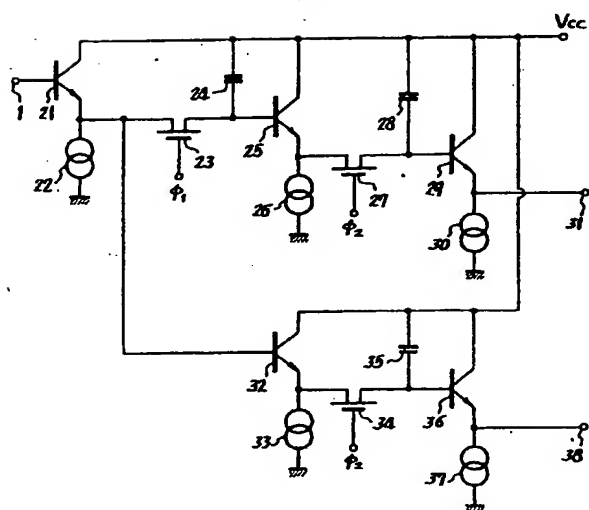


第4図



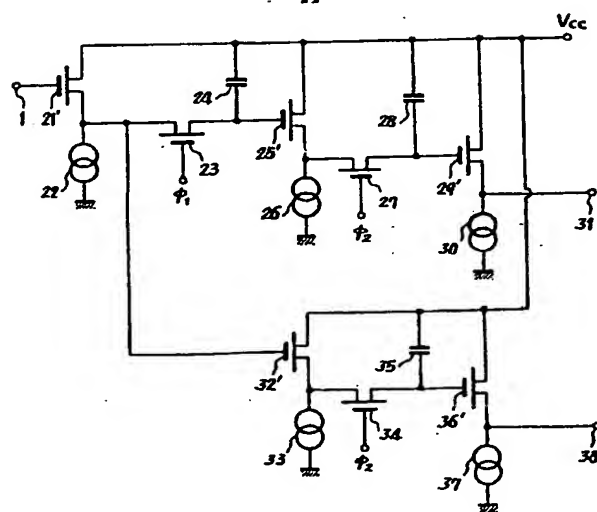
第5図

A

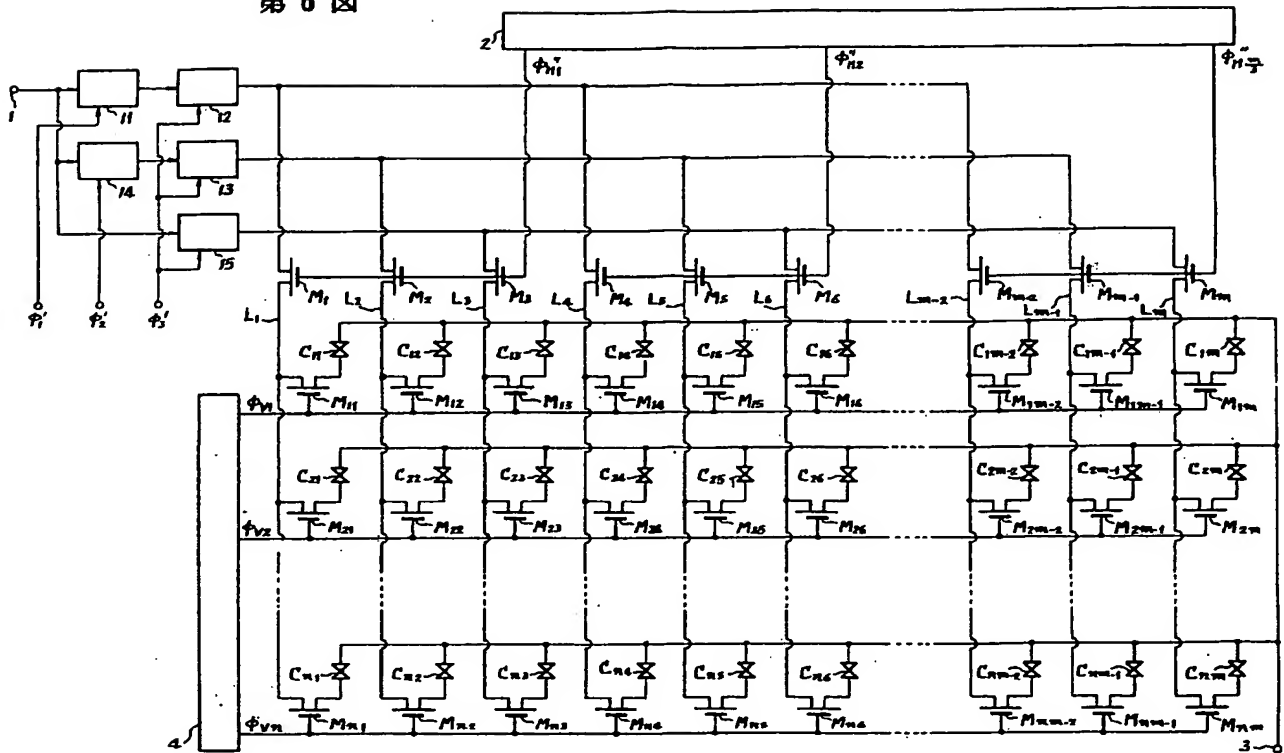


第5図

B



第 6 図



第 7 図

